

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-109309

(43)Date of publication of application : 27.05.1986

(51)Int.Cl.

H03F 3/45
H03F 3/68

(21)Application number : 59-231917

(71)Applicant : NEC CORP

(22)Date of filing : 02.11.1984

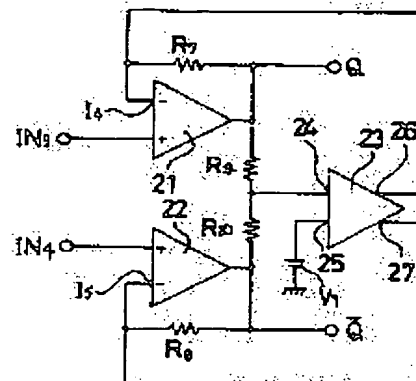
(72)Inventor : HAYAKAWA TATSUO

(54) DIFFERENTIAL INPUT AND OUTPUT OPERATIONAL AMPLIFIER

(57)Abstract:

PURPOSE: To attain highly accurate differential gain by feeding back respectively two output of the 3rd differential amplifier whose one input terminal receives an output of the 1st and 2nd differential amplifiers via a resistor and whose other input receives a reference voltage to the inverting input of the 1st and 2nd differential amplifiers.

CONSTITUTION: The differential amplifier 21 acts like a voltage follower to an input voltage to an input terminal IN3 and the differential amplifier 22 acts like it to an input voltage to an input terminal IN4. Then the amplifier 23 is a transmission conductance amplifier, and a current output of output terminals 26, 27 is fed back synchronously to an inverting input I4 of the amplifier 21 and an inverting input I5 of the amplifier 22. The potential at a terminal 24 of the amplifier 23 is not moved when outputs of terminals Q, Q' are moved in phase only, the in-phase feedback is applied to keep the center voltage of the terminals Q, Q' to a reference potential V1 at other input terminal 25 of the amplifier 23.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-109309

⑬ Int. Cl.⁴

H 03 F 3/45
3/68

識別記号

庁内整理番号

6628-5J
6628-5J

⑭ 公開 昭和61年(1986)5月27日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 差動入出力演算増幅器

⑯ 特 願 昭59-231917

⑰ 出 願 昭59(1984)11月2日

⑱ 発 明 者 早 川 達 夫 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

差動入出力演算増幅器

2. 特許請求の範囲

第1、第2の入力端子と、第1、第2の出力端子と、それぞれ第1の、第2の入力端子に非反転入力端子が接続された第1、第2の差動増幅器と、第1の出力端子と第1の差動増幅器の反転入力端子の間に接続された第1の帰還抵抗と、第2の出力端子と第2の差動増幅器の反転入力端子の間に接続された第2の帰還抵抗と、第1、第2の出力端子間に直列に接続された第3、第4の抵抗と、第3、第4の抵抗の接続点が一方の入力端子に、基準電圧が他方の入力端子にそれぞれ接続され、両出力がそれぞれ第1、第2の差動増幅器の反転入力端子に帰還されている第3の差動増幅器を備えたことを特徴とする差動入出力演算増幅器。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は差動入出力演算増幅器に関する。

〔従来の技術〕

第5図は差動入出力演算増幅器の従来例の回路図で入力端子 I_1 、 I_2 の信号を差動増幅して端子 Q 、 \bar{Q} に出力信号を得る差動増幅器1と、両出力信号の出力電圧を抵抗 R_1 、 R_2 で分圧したものを増幅して増幅器1の適当な場所に帰還させる差動増幅器2で構成されている。

抵抗 R_1 と R_2 の比は通常1:1に選ばれているので、増幅器2の入力端子11の電位は、出力端子 Q 、 \bar{Q} の出力信号が差動、つまり対称の場合は動がなく、出力端子 Q 、 \bar{Q} の出力信号が、同相で動いた時のみ帰還がかかる。これを同相帰還と呼び、差動入出力演算増幅器の出力動作中に電圧を増幅器2の他の入力端子12の電位 V_1 に保つ作用を有する。

第6図は、第5図の差動入出力演算増幅器を帰還増幅器として構成した例を示している。抵抗 R_1 、 R_2 、 R_3 、 R_4 で帰還ループが形成されている。ここで、増幅器3の電圧利得を A で表わすと、伝達特性 Q は

$$G = \frac{\frac{R_3}{R_3+R_4} + \frac{R_5}{R_5+R_6}}{\frac{1}{A} - \frac{R_3}{R_3+R_4} - \frac{R_5}{R_5+R_6}} \dots\dots\dots(1)$$

ここで、 $R_4/R_3 = R_6/R_5$ 、電圧利得 A は無限大であると仮定すると

$$G = -\frac{R_4}{R_3} \left(1 + \frac{R_3+R_4}{R_3} \cdot \frac{1}{A}\right) \dots\dots\dots(2)$$

$$= -\frac{R_4}{R_3} \dots\dots\dots(3)$$

となる。さらに、 $R_4 = R_3$ とすると $G = -1$ となる。

第7図(1)、(2)、(3)はこの場合(伝達特性 $G = -1$)に、同相入力電圧として V_{ic} 、差動入力電圧として V_{id} が加わったときの増幅器3の各点の電位を示す図である。

左端は、入力端子 IN_1 、 IN_2 の電圧、中央は増幅器3の入力端子 I_1 、 I_2 の電圧、右端は出力端子 Q 、 \bar{Q} の電圧を表わしている。

第7図(1)は、同相入力電圧 V_{ic} が零の場合を示しており、入力端子 IN_1 、 IN_2 の入力信号は増幅

- 3 -

より決定されるので入力インピーダンス R_{IB} は、せいぜい数 100 (K Ω)、利得精度はせいぜい 0.1 % で、例えば、信号源インピーダンスが高い場合、また高精度が要求される場合に問題であった。

〔発明が解決しようとする問題点〕

したがって、本発明の目的は、入力インピーダンスが極めて高く、差動利得が抵抗比によることなく高精度が得られる差動入出力演算増幅器を提供することである。

〔問題点を解決するための手段〕

本発明は、入力信号を差動増幅する差動増幅器(第5図の差動増幅器1)を第1、第2の差動増幅器と2個の差動増幅器で構成し、これら差動増幅器の非反転入力端子に入力信号を入力し、出力端子とこれら各差動増幅器の反転入力端子の間に帰還抵抗を接続し、さらに差動増幅器(第5図の差動増幅器2)が2つの出力を有し、これをそれぞれ第1、第2の反転入力端子に帰還させるように接続した(これを第3の演算増幅器という)ものである。

- 5 -

器3の基準電圧 V_i に関して $V_{id}/2$ だけ対称で、出力端子 Q 、 \bar{Q} の出力信号はこれら入力信号を反転したものとなっている。第7図(2)は基準電圧 V_i より正側に同相^{入力}電圧 V_{ic} が入った場合で前述の同相帰還の作用により出力電圧の中心は基準電圧 V_i に保たれ、差動電圧のみが増幅される。第7図(3)は、基準信号 V_i より負側に同相^{入力}電圧 V_{ic} が入った場合を示しており、第7図(2)と同様に出力電圧は基準信号 V_i を中心に、差動分のみ応答することがわかる。

しかしながら、この従来の差動入出力演算増幅器では、入力インピーダンス R_{IB} 、伝達特性 G がそれぞれ

$$R_{IB} = R_3 + R_5 \dots\dots\dots(4)$$

$$G = -\frac{R_4}{R_3} \times \frac{1 + \frac{R_5}{R_4} \times \frac{R_3+R_4}{R_5+R_6}}{1 + \frac{R_5}{R_3} \times \frac{R_3+R_4}{R_5+R_6}} \dots\dots\dots(5)$$

のように4本の抵抗 R_3 、 R_4 、 R_5 、 R_6 の抵抗値に

- 4 -

したがって、第1、第2の差動増幅器は各入力端子の入力信号に対して、いわゆるボルテージフォロワの動作をする。また、第3の差動増幅器の出力端子の出力が同相で動いたときのみ同相帰還がかかり、出力端子の中心電圧(平均電圧)を第3の差動増幅器の基準電位に保つ。

以上のような構成により、本発明による差動入出力演算増幅器の伝達利得の精度が抵抗比によらず向上し、入力インピーダンスが極めて高い(その理由について、後述の実施例で詳述する)。

〔実施例〕

本発明の実施例について図面を参照しながら説明する。

第1図は本発明による差動入出力増幅器の一実施例の回路図である。

本実施例の差動入出力演算増幅器は、入力端子 IN_1 、 IN_2 、差動増幅器21、22、出力端子 Q 、 \bar{Q} 、差動増幅器21、22の両出力の midpoint 検出のための抵抗値が1:1の抵抗 R_9 、 R_{10} 、差動増幅器21の反転入力端子と出力端子 Q の間に設けられた抵抗 R_4 、

- 6 -

差動増幅器22の反転入力端子と出力端子 \bar{Q} の間に設けられた抵抗 R_4 、入力端子24、25がそれぞれ抵抗 R_9 と R_{10} の接続点、基準電圧 V_1 に接続され、出力端子26、27がそれぞれ差動増幅器21、22の反転入力端子に接続された差動増幅器23とからなる。したがって、差動増幅器21は入力端子 IN_1 の入力電圧に対して、また、差動増幅器22は、入力端子 IN_2 の入力電圧に対していわゆるボルテージ・フォロワ動作をする。差動増幅器23は、伝達コンダクタンスアンプで、出力端子26、27の電流出力がそれぞれ差動増幅器21の反転入力端子 I_4 、差動増幅器22の反転入力端子 I_5 に同相帰還されている。差動増幅器23の入力端子24の電位は、出力端子 Q 、 \bar{Q} の出力が差動、つまり対称の場合動かなく、出力端子 Q 、 \bar{Q} の出力が同相で動いた時のみ動き同相帰還がかかり、出力端子 Q 、 \bar{Q} の中心電圧(平均電圧)を差動増幅器23の他の入力端子25の基準電位 V_1 に保つ。

第2図は第1図の差動入出力演算増幅器を帰還増幅器28として構成した場合の回路図である。

- 7 -

電圧利得 μ_1 、 μ_2 が 10^5 であることを考えると、入力インピーダンス R_{1B} は無窮大となり、従来の数100 K Ω の R_{1B} に比して極めて高い。したがって、本実施例の差動入出力演算増幅器は大きな信号源インピーダンスの信号に対しても高精度で増幅できる。本発明の差動増幅器はバランス型ボルテージ・フォロワーと呼ぶことができる。

第3図(1)、(2)、(3)は本実施例の差動入出力演算増幅器に同相入力電圧として V_{1C} 、差動入力電圧として V_{1D} が加わったときの各点の電位を示す図である。

左端は入力端子 IN_1 、 IN_2 の電圧、中央は反転入力端子 I_4 、 I_5 の電圧、右端は出力端子 Q 、 \bar{Q} の電圧を表わす。

同図(1)は、同相入力電圧 V_{1C} が零の場合で、出力端子 Q 、 \bar{Q} の電圧はそれぞれ入力端子 IN_1 、 IN_2 の電圧に追従して動く。同図(2)は、基準電圧 V_1 より正側に同相入力電圧 V_{1C} が入った場合で、前述の同相帰還作用により出力電圧の中心は基準電圧 V_1 に保たれ、差動分のみが出力端子 Q 、 \bar{Q} に現わ

- 9 -

ここで、差動増幅器21、22の電圧利得を μ_1 、 μ_2 で表わすと、帰還増幅器28の伝達利得 H は

$$H = 1 - \frac{1}{\mu_1} - \frac{1}{\mu_2} \dots\dots\dots (6)$$

$$= 1 \dots\dots\dots (7)$$

で表わされる。

電圧利得 μ_1 、 μ_2 が通常 2×10^5 程度とれることから、伝達利得 H のエラーは0.01%と極めて小さく、かつ抵抗比によらない。したがって、従来のように抵抗比で制限された0.1%より1桁以上精度が向上する。また、入力インピーダンス R_{1B} に関しては、差動増幅器21、22がいずれもボルテージ・フォロワとして働いているため、入力インピーダンス R_{1B} は極めて高い。差動増幅器21、22の差動入力インピーダンスをそれぞれ R_{1N} 、 $R_{1N'}$ で表わすと、入力インピーダンス R_{1B} は、

$$R_{1B} = \mu_1 R_{1N} + \mu_2 R_{1N'} \dots\dots\dots (8)$$

で表わされる。

通常差動入力インピーダンス R_{1N} が1M Ω 程度、

- 8 -

れる。同図(3)は基準電圧 V_1 より負側に同相入力電圧 V_{1C} が入った場合で、同図(2)と同様に出力端子 Q 、 \bar{Q} の電圧は基準電圧 V_1 を中心に差動分のみに応答することがわかる。

第4図は本発明による差動入出力演算増幅器の他の実施例の回路図である。

本実施例は第2図の実施例と、抵抗 R_9 、 R_{10} がそれぞれ入力端子 I_4 、 I_5 と接地間に接続されている点が異なる。この場合の伝達利得 H' は、 R_9/R_7 、 $= R_{11}/R_9$ と仮定すると、

$$H' = 1 + \frac{R_7}{R_9} \dots\dots\dots (9)$$

と表わされ、1以上の利得が取れる。この際は、入力インピーダンスは依然として著しく高いが、利得精度は、抵抗比 R_7/R_9 で決定される。

〔発明の効果〕

本発明は以上説明したように入力信号を差動増幅する差動増幅器(第5図の差動増幅器1)を第1、第2の差動増幅器と2個の差動増幅器で構成し、これら差動増幅器の非反転入力端子に入力信

- 10 -

号を入力し、出力端子とこれら各差動増幅器の反転入力端子の間に帰還抵抗を接続し、さらに反転増幅器(第5図の反転増幅器2)が2つの出力を有し、これらをそれぞれ第1、第2の反転増幅器の反転入力端子に帰還させるように接続したものであるので、入力インピーダンスが極めて高く、差動利得が抵抗比によることなく高精度になる。

4. 図面の簡単な説明

第1図は本発明による差動入出力演算増幅器の一実施例を示す回路図、第2図は第1図の差動入出力演算増幅器を帰還増幅器として示した図、第3図(1)(2)(3)は第1図の差動入出力演算増幅器に同相入力電圧と V_{ic} 、差動入力電圧として V_{id} が加わったときの各点の電位を示す図、第4図は本発明による差動入出力演算増幅器の他の実施例を示す回路図、第5図は差動入出力演算増幅器の従来例を示す回路図、第6図は第5図の差動入出力演算増幅器を帰還増幅器として示した図、第7図(1)(2)(3)は第5図の差動入出力演算増幅器に同相入力電圧として V_{ic} 、差動入力電圧として V_{id} が加わっ

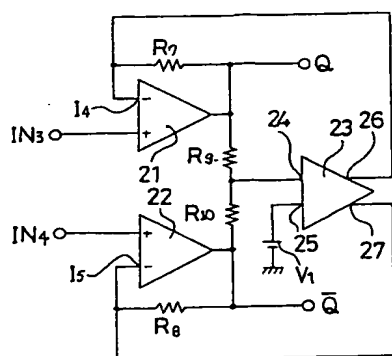
たときの各点の電位を示す図である。

IN_3 、 IN_4 :	入 力 端 子
Q 、 \bar{Q} :	出 力 端 子
21, 22, 23 :	差 動 増 幅 器
R_7 、 R_8 :	帰 還 抵 抗
R_9 、 R_{10} :	抵 抗
V_1 :	基 準 電 圧
I_4 、 I_5 :	反 転 入 力 端 子
24, 25 :	差動増幅器23の入力
26, 27 :	差動増幅器23の出力

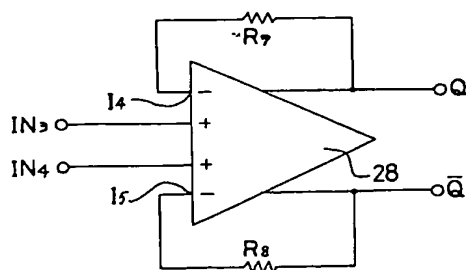
特許出願人 日本電気株式会社

代理人 弁理士 内 原 晋

- 11 -

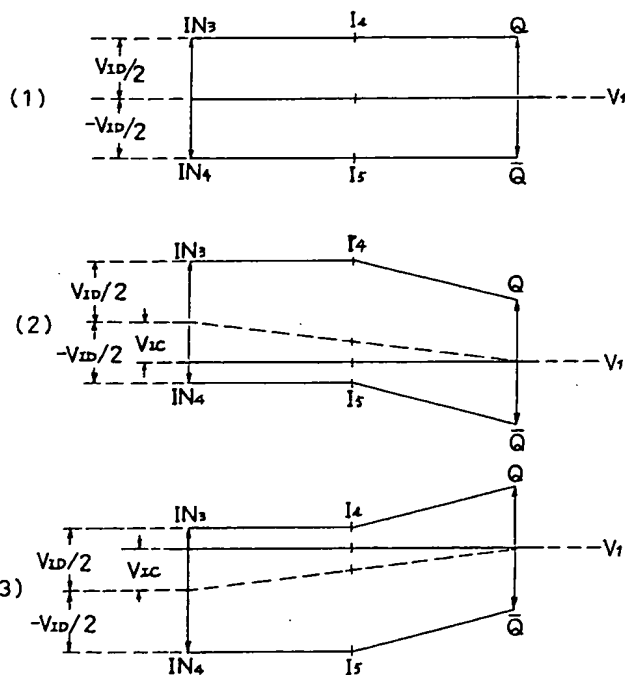


第 1 図

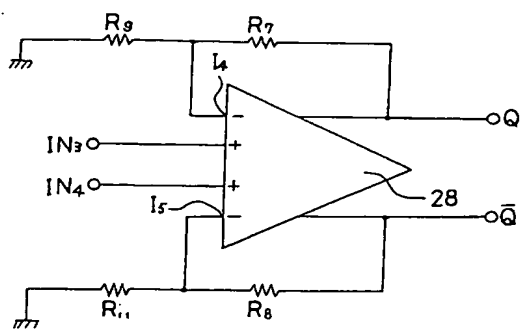


第 2 図

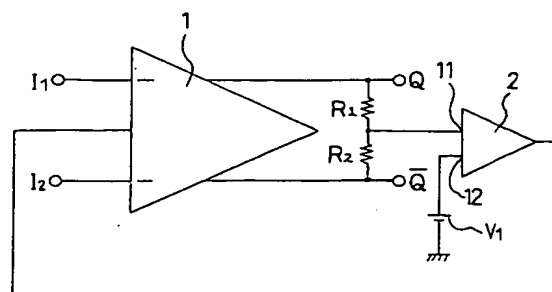
- 12 -



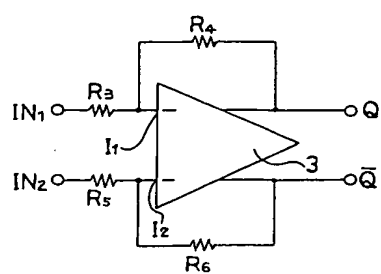
第 3 図



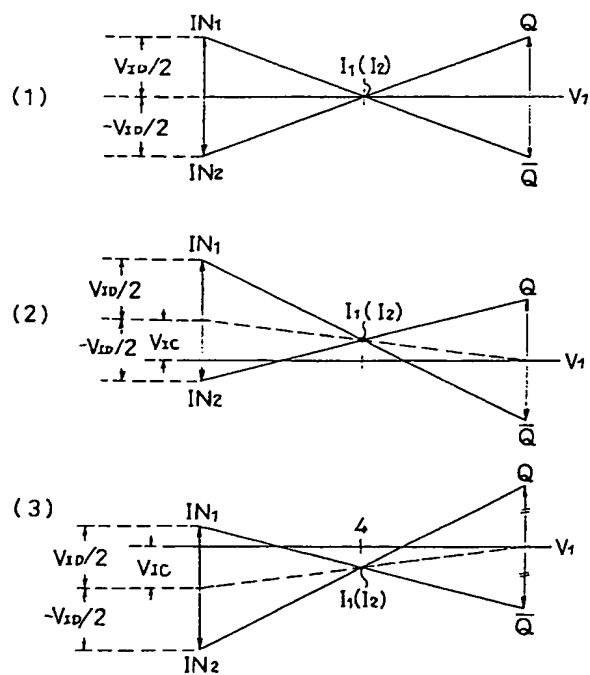
第 4 図



第 5 図



第 6 図



第 7 図